

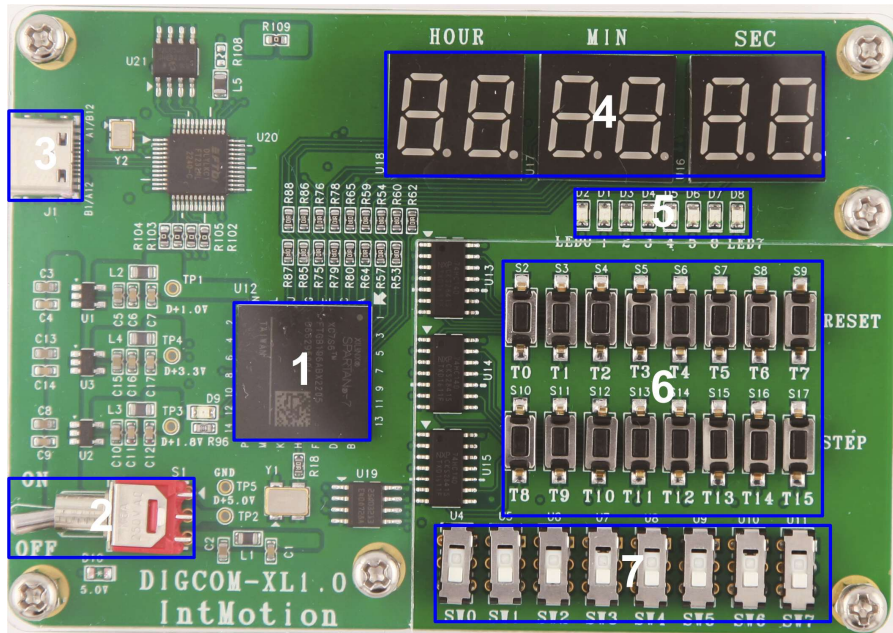
DIGCOM-XL1.0 사용

2026. 01. 20

주식회사 인트모션

1. DIGCOM-XL1.0 키트의 구성

[그림 1]은 키트를 구성하는 장치를 보여준다. DIGCOM-XL1.0은 Platform 다운로드 기능이 내장되어 있어서 별도의 케이블이 필요 없다.



[그림 1] DIGCOM-XL1.0의 구성

- ① 가장 핵심 부품인 FPGA이며, 'XC7S6-1FTGB196I'(Spartan 7)이 사용된다.
- ② 주 전원 스위치: 전원 ON/OFF 스위치이다.
- ③ C-type USB 포트이며, 다운로드 기능이 내장되어 있어서 별도의 다운로드 케이블을 연결하지 않고 컴퓨터의 USB 포트와 직접 연결한다. USB 포트에서 5V 전원도 공급한다.
- ④ 3개의 2자리 7-세그먼트 FND이며, 모두 6자리 숫자를 출력할 수 있다.
- ⑤ 8개의 LED이며, 비트 값을 출력할 수 있다.
- ⑥ 16개의 탭트 스위치이며, 0x0~0xF까지 16진수 입력 스위치로 사용할 수 있다.
- ⑦ 8개의 슬라이드 스위치이며, 비트 값을 입력할 때 사용할 수 있다.

2. DIGCOM-XL1.0 키트 설치

전원 연결

전원은 ③의 USB 전원을 사용한다.

다운로드 케이블 연결

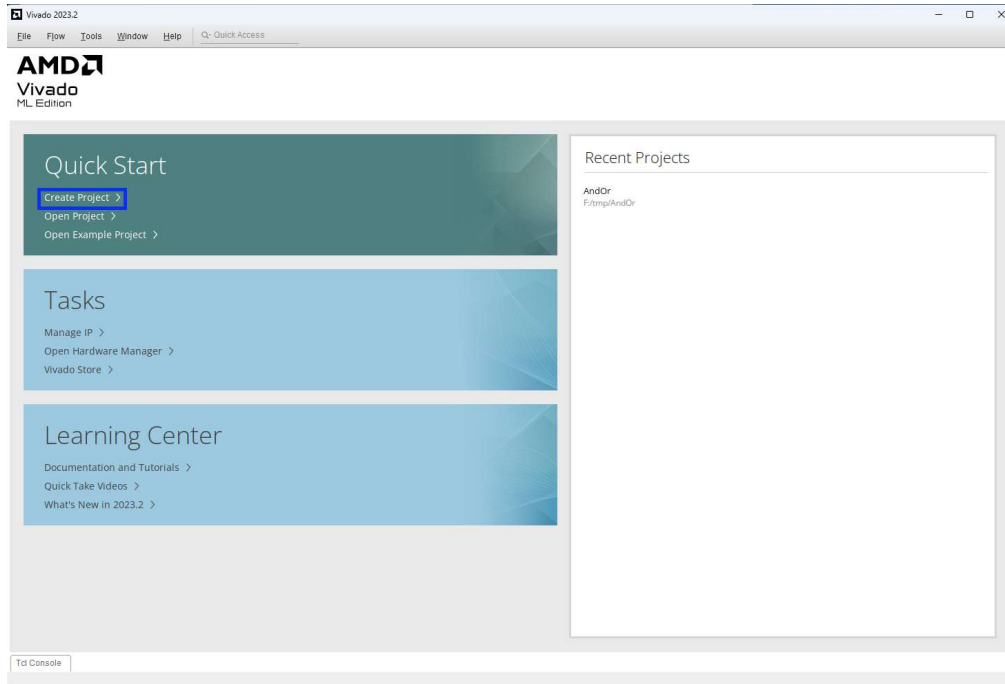
DIGCOM-XL1.0은 컴퓨터의 USB 포트와 ③의 USB 포트를 케이블로 연결한다. ③의 USB 포트는 전원과 Configuration 포트에 사용된다. 이때 configuration 데이터는 FPGA에 직접 configuration되거나, SPI 플래시 메모리에 configuration된다.

3. DIGCOM-XL1.0 실행

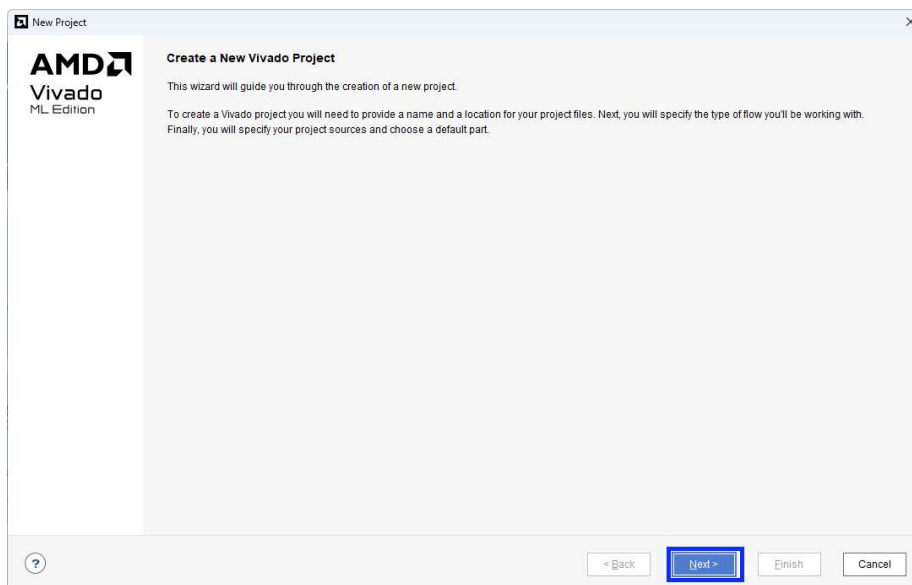
Vivado 2023.2에서 DIGCOM-XL1.0을 실행시키는 과정을 설명한다.

3.1. 프로젝트의 생성

Vivado 2023.2를 실행시킨 [Create Project]를 클릭하여 프로젝트 생성을 시작한다.



[Create a New Vivado Project] 창이 뜨면 [Next]를 클릭한다.



[Project name]창에서 [Project name]을 “AndOr”, [Project location]을 “F:/tmp”로 각각 지정한다. 이 때 프로젝트는 “F:/tmp/AndOr”에 생성된다. 그리고 [Next]를 클릭한다.

New Project

Project Name
Enter a name for your project and specify a directory where the project data files will be stored.

Project name: AndOr

Project location: F:\tmp

☒ Create project subdirectory

Project will be created at F:\tmp\AndOr

< Back Next > Finish Cancel

[Project Type]창에서 [RTL Project]가 체크된 것을 확인하고 [Next]를 클릭한다.

New Project

Project Type
Specify the type of project to create.

☒ **RTL Project**
You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthesis, implementation, design planning and analysis.
☐ Do not specify sources at this time
☐ Project is an extensible Vitis platform

☐ Post-synthesis Project
You will be able to add sources, view device resources, run design analysis, planning and implementation.
☐ Do not specify sources at this time

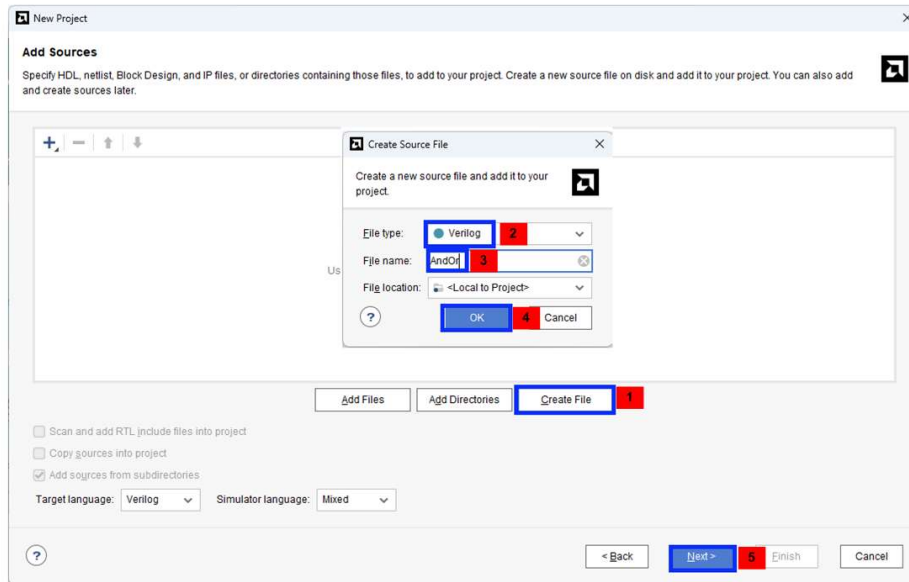
☐ I/O Planning Project
Do not specify design sources. You will be able to view part/package resources.

☐ Imported Project
Create a Vivado project from a Synplify Project File.

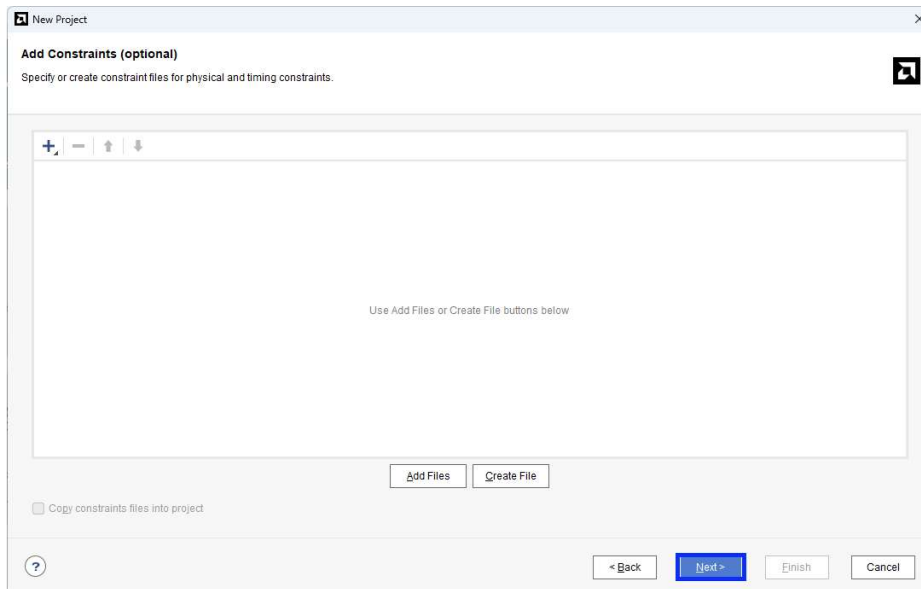
☐ Example Project
Create a new Vivado project from a predefined template.

< Back Next > Finish Cancel

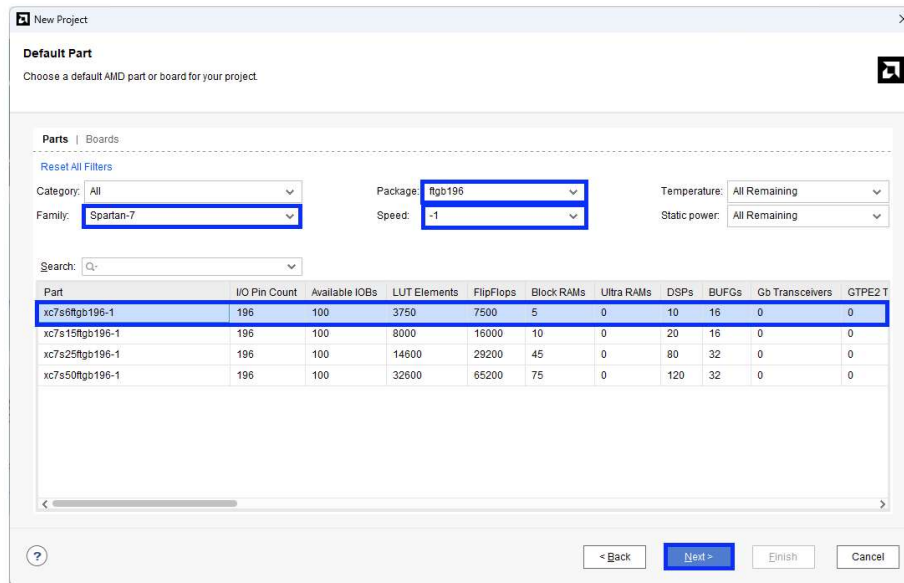
[Add Source]창에서는 설계에 사용될 언어와 설계 파일 이름을 지정해 준다. 이 창에서 설계 파일을 지정하기 위하여 [Create File]을 클릭하면 [Create Source File] 창이 뜨며, [File Type]에서 [Verilog]로 선택된 것을 확인하고 [File name]에 “AndOr”를 입력한 후에 [OK] 버튼을 클릭하면, ”AndOr.v”파일과 파일이 생성되는 위치를 확인하고, [Next]를 클릭한다.



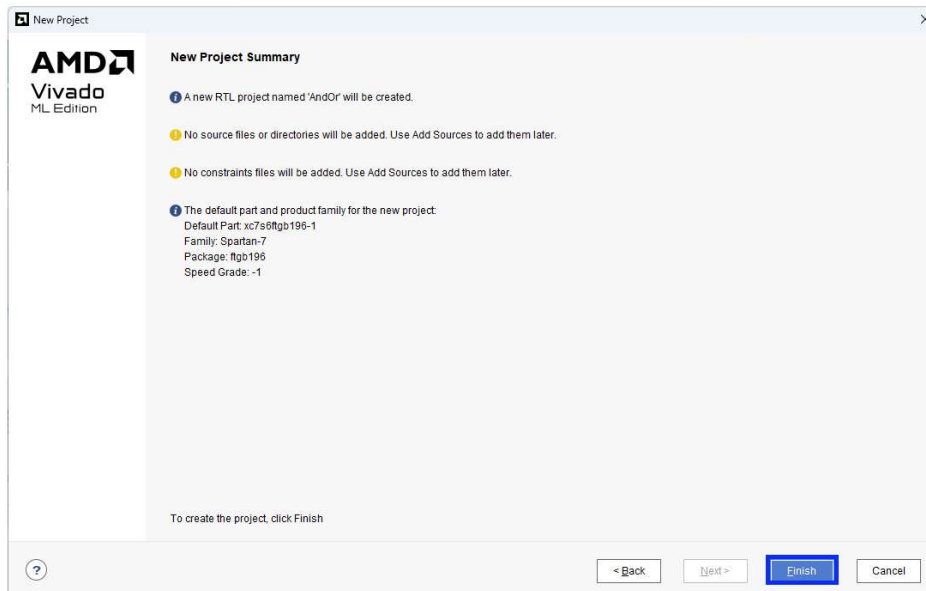
[Add Constraints (optional)] 창에서는 타이밍 또는 배치 등과 같은 설계의 성능을 향상시킬 수 있는 제약 조건을 지정해 주는 파일을 추가하거나 핀 할당을 지정할 수 있다. 본 프로젝트에서는 설계를 마친 후에 핀 할당만을 지정할 것이기 때문에 [Next]를 클릭한다.



[Default Part] 창에서는 사용될 FPGA 또는 보드를 지정하며, DIGCOM-XL1.0 키트는 xc7s6ftgb196-1 FPGA를 사용하므로 이에 해당하는 FPGA를 선택해야 한다. 그러므로 [Filter] 항목에서 [Select]를 [Parts]로 선택하고, [Family]를 [Spartan-7], [Package]를 [ftgb196] 그리고 [Speed grade]를 [-1]로 각각 선택하면 여기에 해당하는 FPGA 들이 나열 되고, 이 중에서 [xc7s6ftgb196-1]을 선택하고 [Next]를 클릭한다.

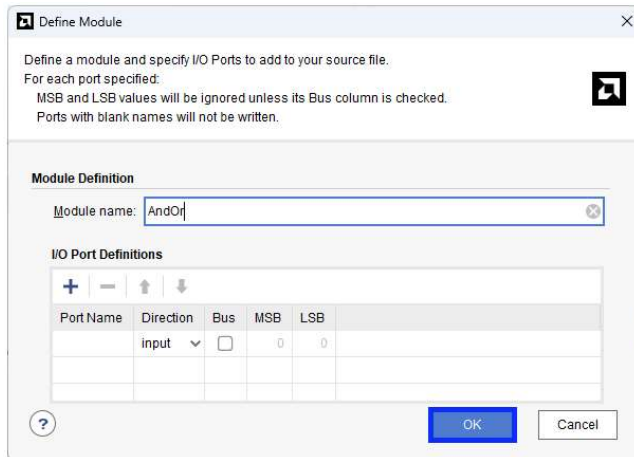


[New Project Summary] 창에서 생성될 프로젝트를 확인한 후에 [Finish]를 클릭하면 새 프로젝트가 생성된다.

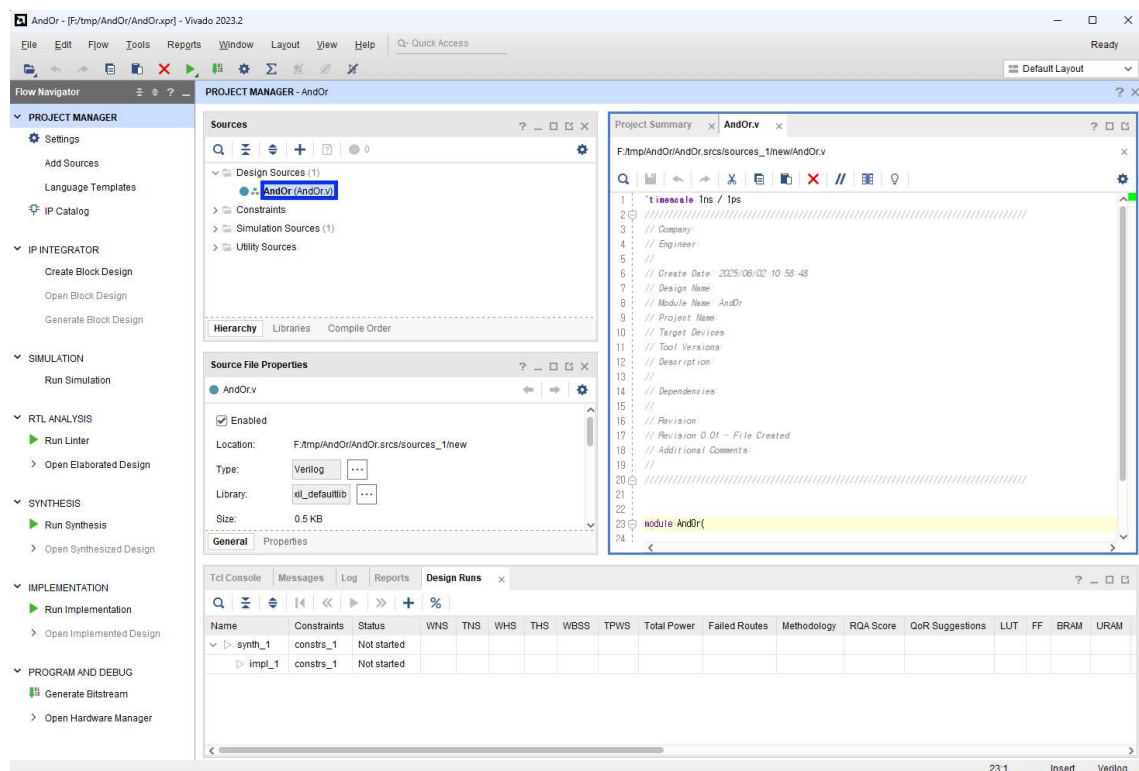


3.2 설계(Design) 및 합성(Synthesis)

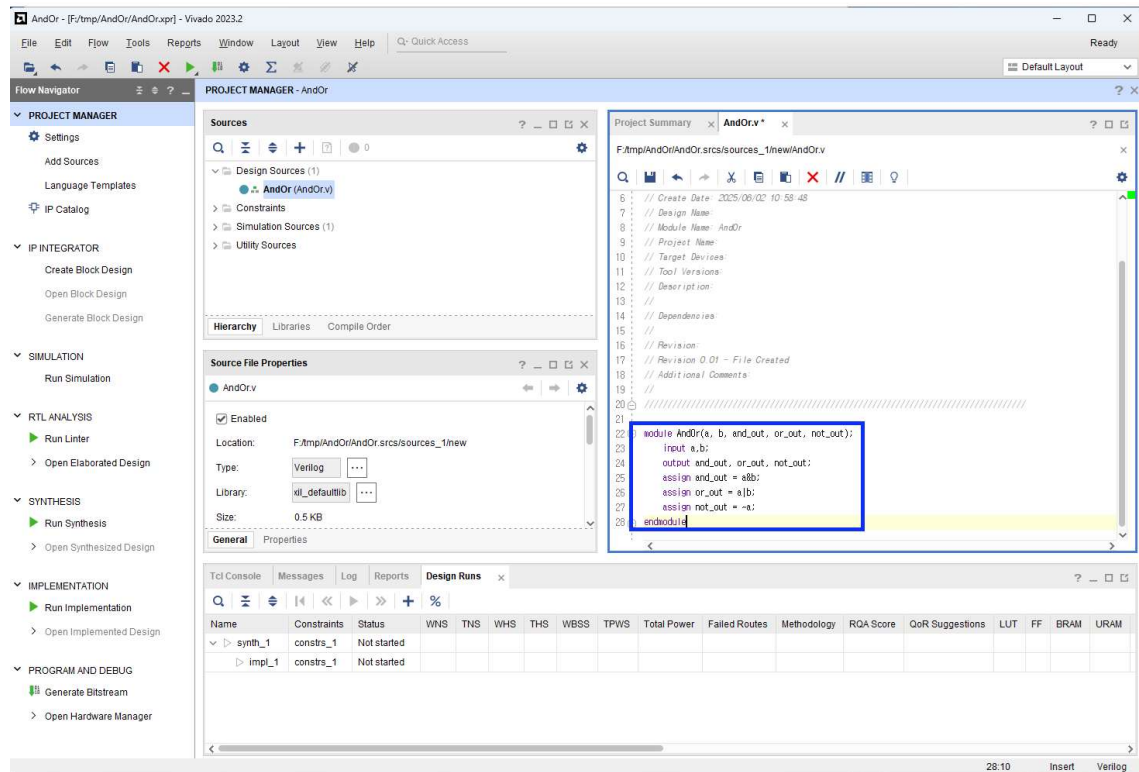
새로운 프로젝트가 생성되면 새 프로젝트 창과 동시에 [Define Module] 창이 뜬다. 이 창에서는 설계 소스 파일에서 사용된 입출력 포트에 대한 정의를 하는 부분이지만 소스 코드 입력을 마친 후에 할 것이므로 [OK]를 클릭하고, 모듈이 바뀌지 않았다는 창이 뜨면 다시 [Yes]를 클릭하면 새로운 프로젝트 창을 볼 수 있다.



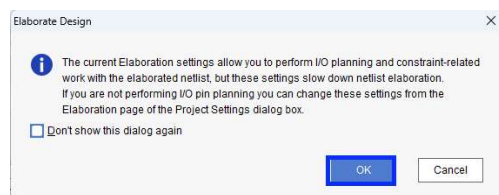
[AndOr] 프로젝트 창이 뜨면 [Project Manager] $\Rightarrow$ [Sources] $\Rightarrow$ [AndOr (AndOr.v)]를 더블 클릭한다.



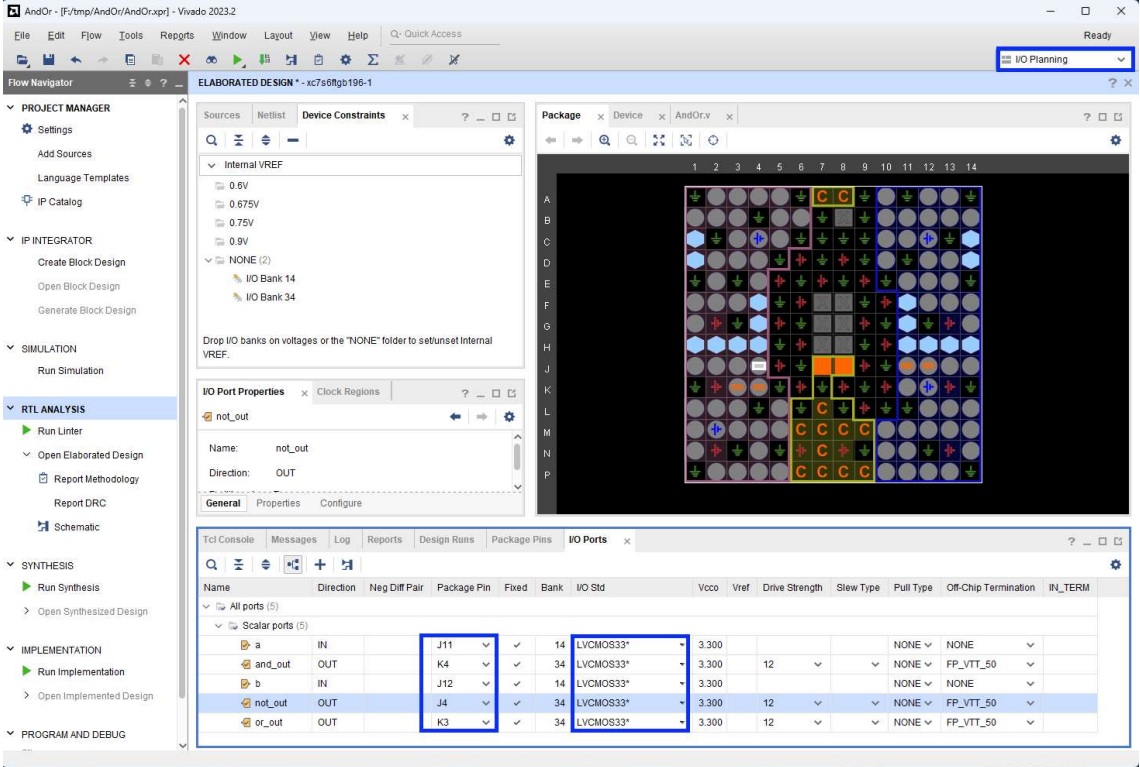
[AndOr.v] 탭에 Verilog 소스코드 입력을 하기 위한 템플릿이 나오며, 이 템플릿을 이용하여 설계하고자 하는 Verilog 소스코드를 입력한 후, 메인 메뉴에서 [File] ⇒ [Save File]을 클릭하여 [AndOr.v]를 저장한다.



[RTL Analysis] ⇒ [Open Elaborated Design]을 클릭하면 [Elaborated Design] 창이 뜨며, [OK]를 클릭한다.



[Elaborated Design] 화면에서 입출력 포트에 대한 핀을 할당할 수 있으며, 그림과 같이 핀 번호를 할당하고, [I/O Std]를 [LVCMOS33]으로 선택한다. 입출력 포트의 핀 할당은 DIGCOM-XL1.0의 핀 할당표를 참고한다. 이 때 우측 상단에서 [I/O Planning]으로 선택이 되어야 한다.



The screenshot shows the Vivado IDE interface with the 'I/O Planning' window open. The window displays a pin grid and a table of I/O ports with their assigned pins and standards.

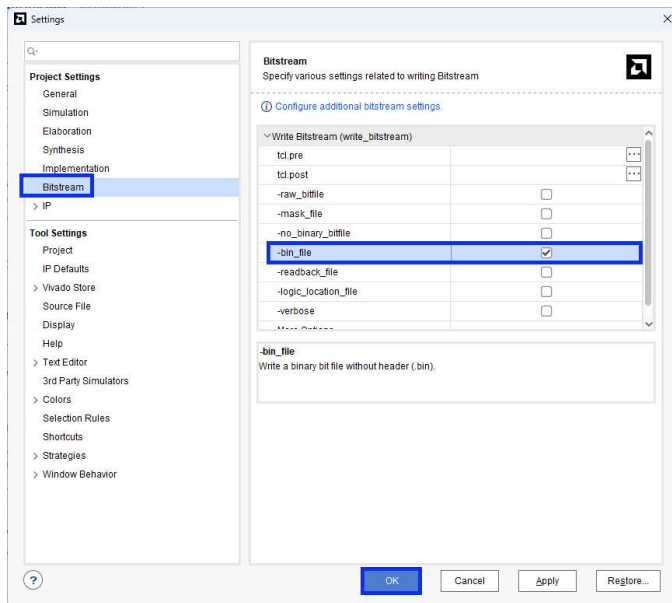
I/O Port Properties:

- Name: not_out
- Direction: OUT

I/O Ports Table:

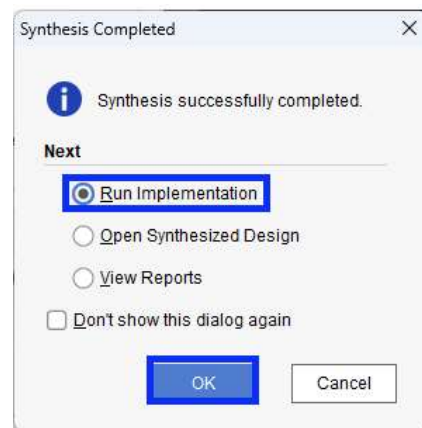
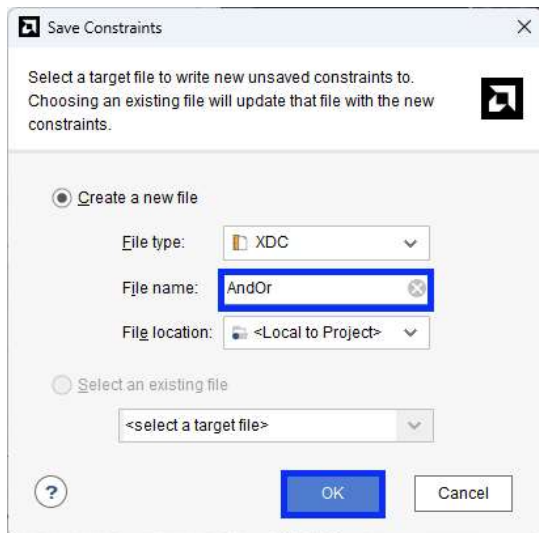
Name	Direction	Neg Diff Pair	Package Pin	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Off-Chip Termination	IN_TERM
a	IN		J11	✓	14	LVCMOS33*	3.300				NONE	NONE	
and_out	OUT		K4	✓	34	LVCMOS33*	3.300	12			NONE	FP_VTT_50	
b	IN		J12	✓	14	LVCMOS33*	3.300				NONE	NONE	
not_out	OUT		J4	✓	34	LVCMOS33*	3.300	12			NONE	FP_VTT_50	
or_out	OUT		K3	✓	34	LVCMOS33*	3.300	12			NONE	FP_VTT_50	

DIGCOM-XL1.0에 설계된 파일을 프로그램할 수 있는 파일의 종류는 .bit와 .bin 등 2가지가 있다. .bit 파일은 JTAG 프로그래밍 케이블을 사용하여 FPGA에 프로그래밍 하지만 전원이 꺼지면 FPGA 내용은 지원된다. .bin 파일은 QuadSPI에 프로그래밍 되며, 전원이 켜질 때마다 QuadSPI에서 FPGA로 프로그래밍 되므로 매번 다시 프로그래밍 할 필요가 없다. .bit 파일을 생성할 때 동시에 .bin 파일을 생성하기 위해 [Project Manager] ⇒ [Project Settings]을 클릭하면 [Project Settings] 화면이 뜨며, [Bitstream]을 클릭하고 [-bin_file]을 체크한다.

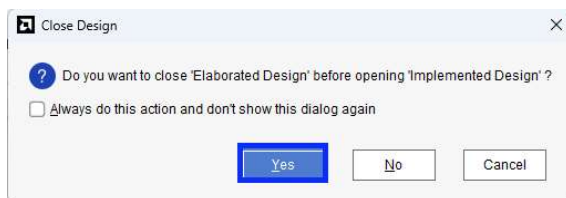
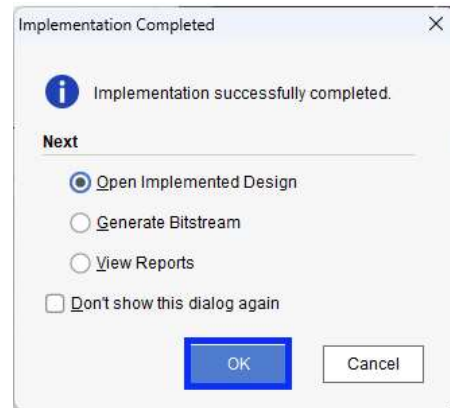
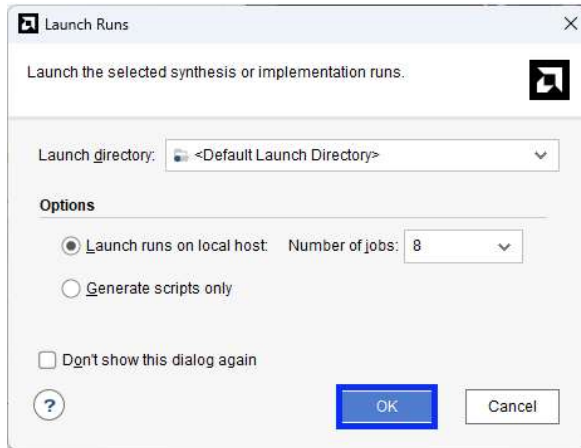


합성(Synthesis)하기 위해 [Flow Navigator] 화면에서 [Synthesis] ⇒ [Run Synthesis]를 클릭하면 [Launch Runs] 창이 뜨며, 이 창에서 [OK]를 클릭하면 다시 [Save Project] 창이 뜨며, 이 창에서 [Save]를 클릭한다.

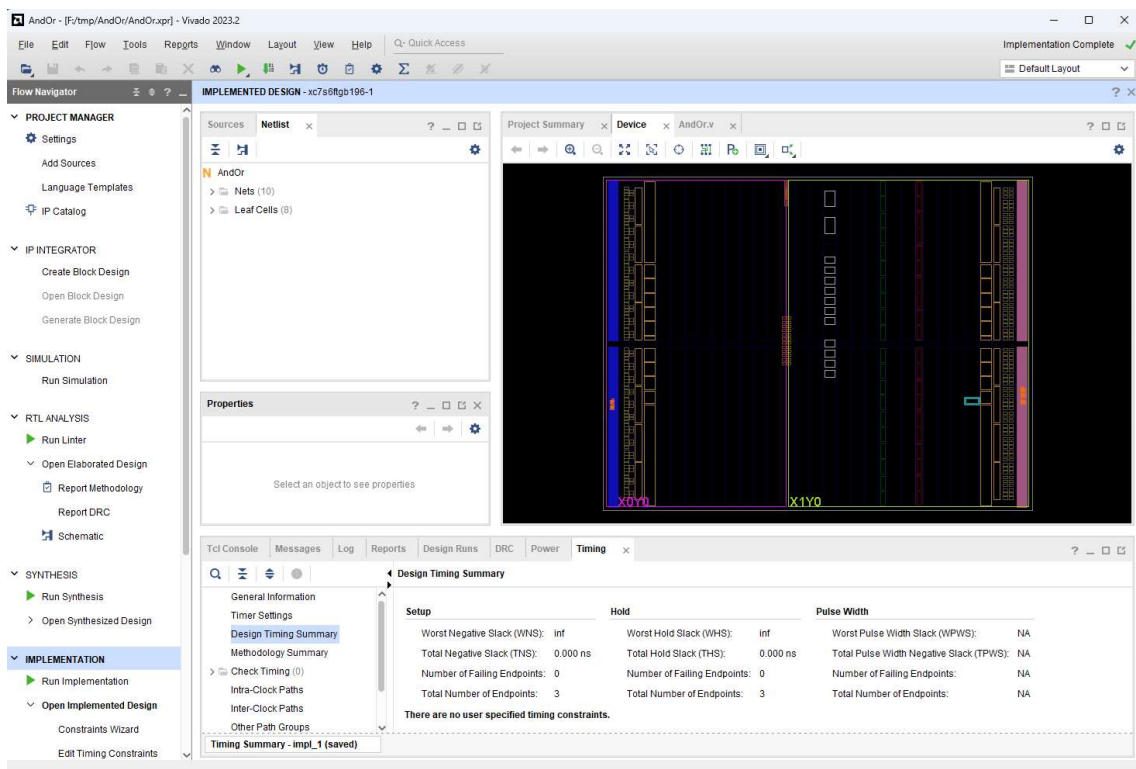
[Save Constraints] 창이 뜨면 [File name]에 Constraint 파일 이름인 “AndOr”를 입력하고 [OK]를 클릭하면 합성을 하고 마치면 [Synthesis Completed] 창이 뜨며, [Run Implementation]을 선택하고 [OK]를 클릭한다.



[Launch Runs] 창이 뜨면 다시 [OK]를 클릭하고, [Implementation Completed] 창이 뜨면 [Open Implemented Design]이 체크된 상태에서 [OK]를 클릭하고, [Close Design] 창이 뜨면 [Yes]를 클릭하여 [Elaborated Design] 화면을 close한다.



그림과 같이 창의 우측에 구현된 설계를 볼 수 있다.



Edit Device Properties

Use this dialog to edit the programming and configuration properties for your current design; default values are set automatically.

Q-

General

Configuration

Configuration Modes

Startup

Encryption

Readback

Configuration

Configuration Setup

SPI Configuration

MultiBoot Settings

Tristate CCLK pin during reconfiguration

FALSE

Configuration Rate (MHz)

33

Enable external configuration clock and set divide value

DISABLE

Configuration Voltage

Configuration Bank Voltage Selection

SPI Configuration

Enable SPI 32-bit address style

NO

Bus width

NONE

Enable the FPGA to use a falling edge clock for SPI data capture

NO

MultiBoot Settings

Load a fallback bitstream when a configuration attempt fails

DI

Help

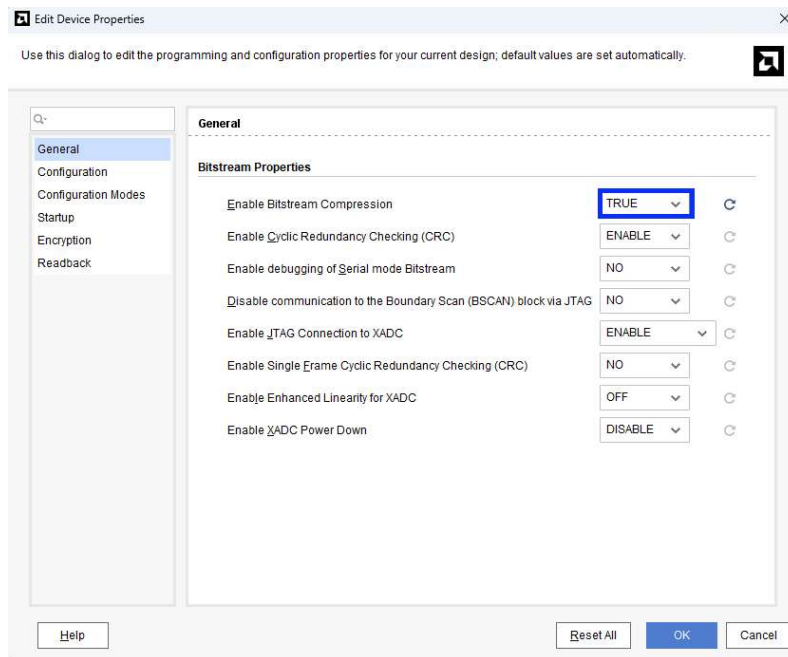
Reset All

OK

Cancel

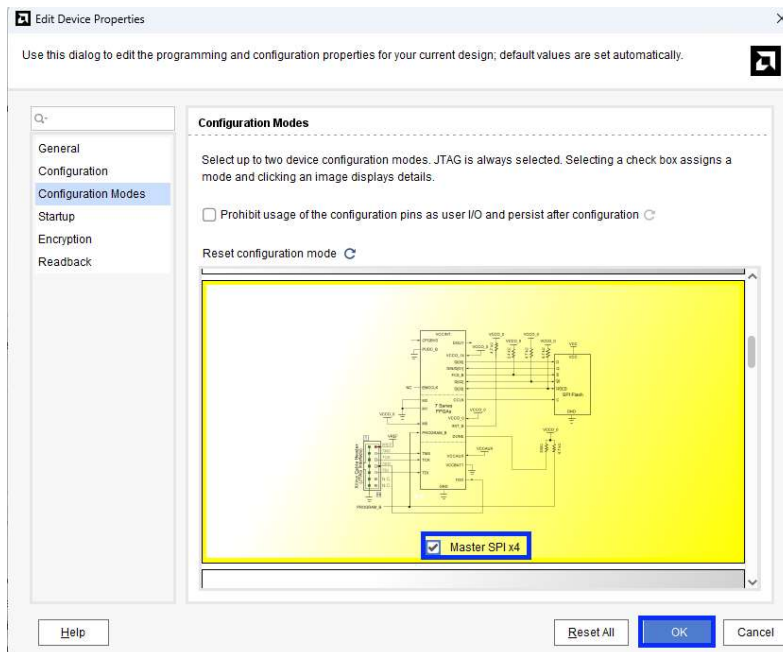
3.3 프로그래밍(Programming) 및 실행

.bin 파일의 프로그래밍 속도를 높이기 위해 메뉴에서 [Tools] ⇒ [Edit Device Propertyies]를 선택하면 [Edit Device Properties] 창이 뜬다. 이 창에서 [General] ⇒ [Enable Bitstream Compression]을 [TRUE]로 선택한다



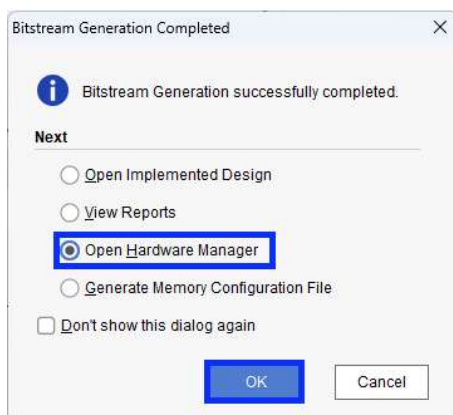
[Configuration] ⇒ [Configuration Rate (MHz)]를 [33]으로 선택한다..

[Configuration Modes]에서 [Master SPIx4]를 선택한 후 [OK]를 클릭한다.

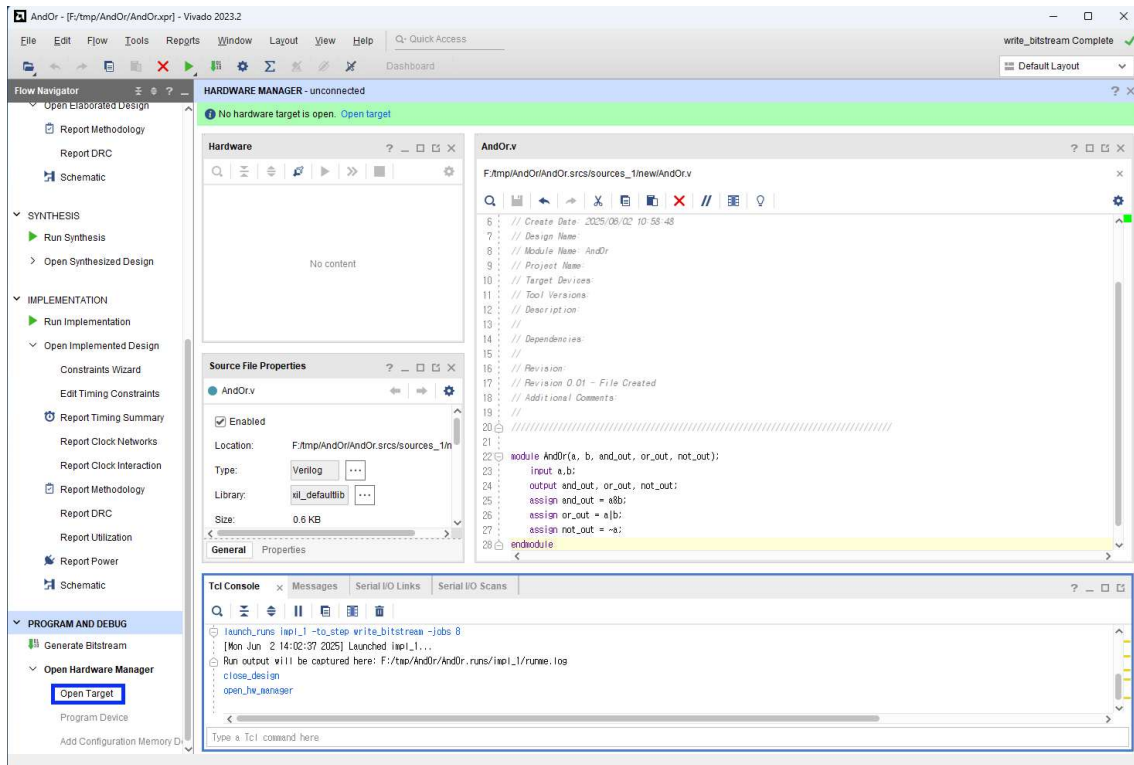


[Flow Navigator] 화면에서 [Program and Debug] ⇒ [Generate Bitstream]을 클릭하면 [Save Project] 창이 뜨고 [Save]를 클릭해서 변경된 constraint 파일을 저장하고, [Out of Date Design] 창이 뜨면 [OK] 클릭하고, [Launch Runs] 창이 뜨면 [OK]를 클릭하고, 다시 [Out of Date Design] 창이 뜨면 [OK] 클릭하면 Bitstream을 생성하기 시작한다.

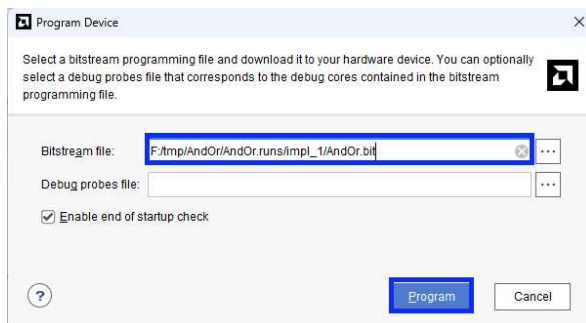
[Bitstream Generation Completed] 창이 뜨면 [Open Hardware Manager] 박스를 체크하고 [OK]를 클릭한다.



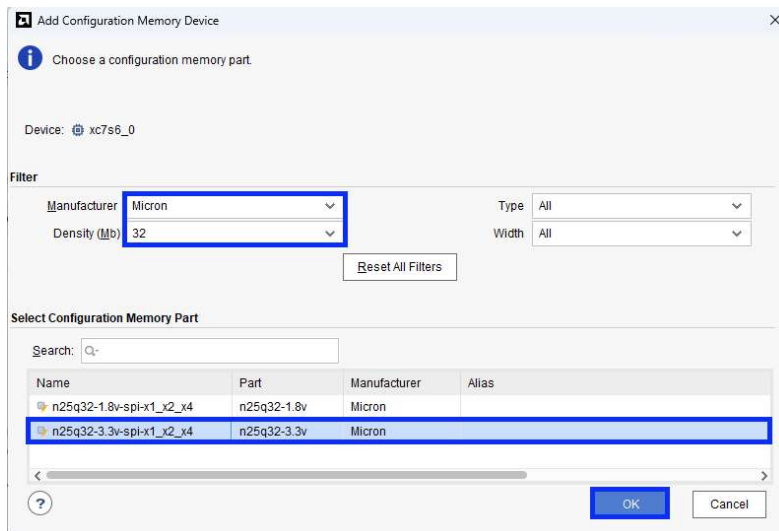
[Flow Navigator]에서 [Program and Debug] ⇒ [Hardware Manager] ⇒ [Open Target] ⇒ [Auto Connect]를 클릭한다.



DIGCOM-XL1.0 키트의 전원이 켜진 상태에서 [Program Device] ⇒ [xc7s6_0]을 클릭하면 [Program Device] 창이 뜨고, 프로젝트 폴더에서 “AndOr.bit” 파일이 선택된 것을 확인한 후에 [Program]을 클릭한다. 프로그래밍이 완료되면 키트에서 동작을 확인한다.

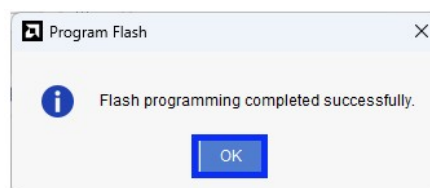
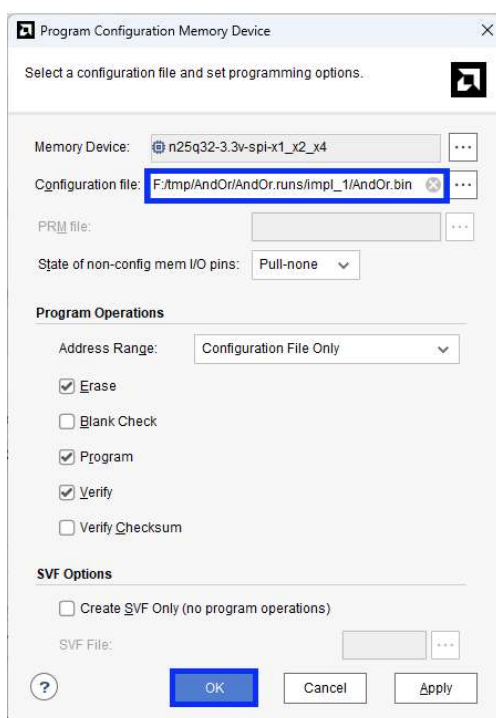


[Flow Navigator]에서 [Program and Debug] ⇒ [Open Hardware Manager] ⇒ [Add Configuration Memory Device] ⇒ [xc7s6_0]를 클릭하면 [Add Configuration Memory Device] 창이 뜨며, [Manufacturer] ⇒ [Micron], [Density] ⇒ [32], [Select Configuration Memory Part] ⇒ [n25q32-3.3v-spi-x1_x2_x4]를 선택하고 [OK]를 클릭한다.



[Add Configuration Device Completed] 창이 뜨면 [OK]를 클릭하면 [Program Configuration Memory Device] 창이 뜨고 [Configuration File]을 프로젝트 폴더에서 "AndOr.bin"을 선택한 후 [OK]를 클릭한다.

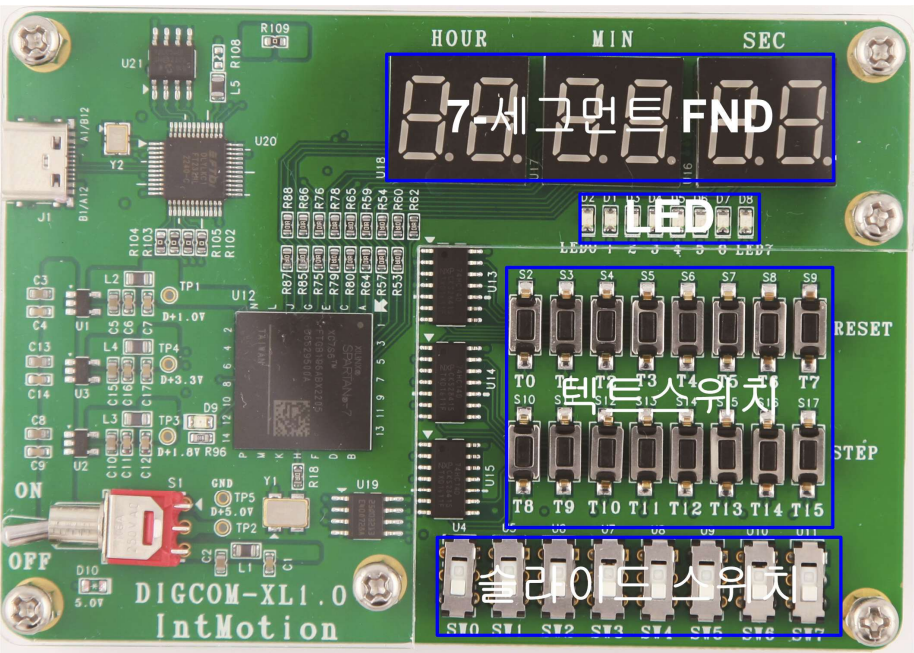
프로그래밍이 완료되면 [Program Flash] 창이 뜨고, 키트의 전원을 껐다가 다시 켜서 동작을 확인한다.



4. DIGCOM-XL1.0 키트 핀 할당

DIGCOM-XL1.0 키트에서 일반적으로 사용할 수 있는 입출력 장치는 3개의 두 자리 7-세그먼트 FND, 16개의 숫자표시 텍트 스위치(0x0~0xF), 8개의 슬라이드 스위치(SW0~SW7), 및 8개의 LED(D1~D8)이다.

[그림 2]는 DIGCOM-XL1.0에서 각 입출력 장치의 위치를 나타낸 것이다.



[그림 2] DIGCOM-XL1.0에서 사용하는 입출력 장치

각 입출력은 XC7S6-1FTGB196I FPGA에서 다음과 같이 핀이 할당되어 있다.

텍트 스위치(0x0~0xF) 핀 할당

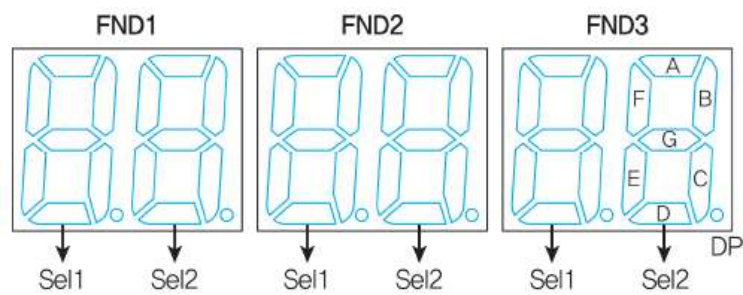
T0(0x0)	T1(0x1)	T2(0x2)	T3(0x3)	T4(0x4)	T5(0x5)	T6(0x6)	T7(0x7) (RESET)
A10	A12	A13	B13	B14	C12	F12	E12
T8(0x8)	T9(0x9)	T10(0xA)	T11(0xB)	T12(0xC)	T13(0xD)	T14(0xE)	T15(0xF) (STEP)
D12	D13	G14	F14	F13	E13	D14	G11

슬라이드 스위치(SW0~SW7) 핀 할당

SW0	SW1	SW2	SW3	SW4	SW5	SW6	SW7
J11	J12	J13	J14	K11	K12	M11	M12

7-세그먼트(FND3~FND1) 핀 할당

FND3	FND3A	FND3B	FND3C	FND3D	FND3E	FND3F	FND3G	FND3DP	FND3DIG2	FND3DIG1
	D1	C1	G4	F4	H4	H3	H2	H1	J1	J2
FND2	FND2A	FND2B	FND2C	FND2D	FND2E	FND2F	FND2G	FND2DP	FND2DIG2	FND2DIG1
	C5	C4	E4	D4	F3	F2	G1	F1	D2	E2
FND1	FND1A	FND1B	FND1C	FND1D	FND1E	FND1F	FND1G	FND1DP	FND1DIG2	FND1DIG1
	D3	C3	A4	A3	B3	A2	B5	A5	B1	B2



[그림 3] 2자리 7-세그먼트 FND 핀 배열

LED(0~7) 핀 할당

LED0	LED1	LED2	LED3	LED4	LED 5	LED 6	LED 7
K4	K3	J4	J3	M1	L1	M3	M2

Oscillator : H13

OSC
H13